

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10125939 A**

(43) Date of publication of application: **15 . 05 . 98**

(51) Int. Cl. **H01L 29/88**  
**H01L 27/10**  
**H01L 27/10**  
**// H01L 21/316**

(21) Application number: **08279088**

(22) Date of filing: **22 . 10 . 96**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **MORITA KIYOYUKI**  
**UENOYAMA TAKESHI**  
**MORIMOTO TADASHI**  
**ARAKI SEI**  
**YUKI KOICHIRO**  
**KUMABUCHI YASUHIRO**

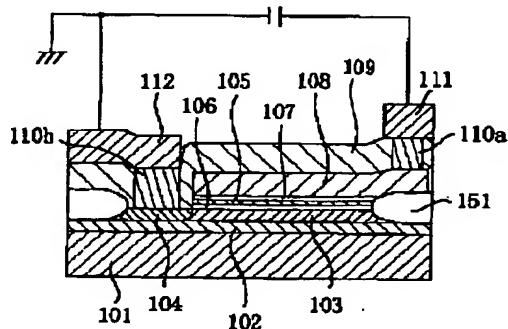
**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device, which functions as a low-power consumption non-linear element and a nonvolatile memory, and a method of manufacturing the device.

**SOLUTION:** A semiconductor layer consisting of a silicon layer is brought into contact with water containing iron ions and ozone to form an iron-containing first silicon oxide film 105 and thereafter, the film 105 is brought into contact with water containing ozone only to form a second silicon oxide film 106. After that, the formation of a third silicon oxide film 107, the formation of an interlayer insulating film 109 and the formation of first and second Al wirings 111 and 112 are performed. When a proper voltage is applied to both ends of the wirings 111 and 112, a current is highly made to flow through the film 105 at only the time of a specified voltage by a resonance tunneling via an empty electron orbit of the iron in the film 105 and a nonlinear element having a negative resistance can be formed.

**COPYRIGHT: (C)1998,JPO**



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125939

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
H 0 1 L 29/88		H 0 1 L 29/88 F
27/10	3 7 1	27/10 3 7 1
	4 5 1	4 5 1
// H 0 1 L 21/316		21/316 U

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願平8-279088

(22) 出願日 平成8年(1996)10月22日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森田 清之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 上野山 雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 森本 康

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

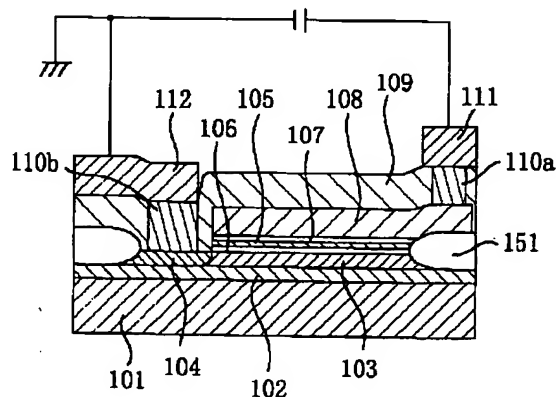
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 低消費電力の非線形素子や不揮発性メモリとして機能する半導体装置及びその製造方法とを提供する。

【解決手段】 シリコンからなる半導体層を鉄イオンとオゾンを含む水に接触させて鉄を含む第1シリコン酸化膜105を形成した後、第1シリコン酸化膜105をオゾンのみを含む水に接触させて、第2シリコン酸化膜106を形成する。その後、第3シリコン酸化膜107の形成や、層間絶縁膜109や第1、第2A1配線111、112の形成を行う。第1A1配線111、第2A1配線112の両端に適当な電圧を印加すると、第1シリコン酸化膜105内の鉄の空の電子軌道を介した共鳴トンネリングによって特定の電圧の時のみ電流が多く流れ、負性抵抗を持つ非線形素子を形成することができる。



## 【特許請求の範囲】

【請求項1】 半導体層を有する基板の上記半導体層を金属イオン及び酸化剤を含む液体に接触させて、上記半導体層の上に金属を含む酸化膜を形成する第1の工程と、  
上記酸化膜の上に導体膜からなる電極を形成する第2の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、  
上記第1の工程の後かつ上記第2の工程の前に、上記酸化膜の上に薄い絶縁膜を堆積させる工程をさらに備え、  
上記第2の工程では、上記絶縁膜の上に電極を形成することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、  
上記第1の工程の後すぐに、上記酸化膜を酸化剤のみを含む液体に接触させて上記半導体層を酸化させ、上記半導体層と上記酸化膜との間に第2の酸化膜を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1、2又は3記載の半導体装置の製造方法において、  
上記第1の工程の後、かつ上記第2の工程の前又は後に、上記半導体基板を還元雰囲気中で熱処理する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項5】 第1導電型の半導体層を有する基板の上記半導体層を金属イオン及び酸化剤を含む液体に接触させて、上記半導体層の上に金属を含む酸化膜を形成する第1の工程と、  
上記酸化膜の上に絶縁膜を形成する第2の工程と、  
上記絶縁膜の上に導体膜からなる電極を形成する第3の工程と、  
上記電極をマスクにして上記半導体層内に第2導電型不純物を導入し、上記半導体層内の上記電極の両側となる領域に第2導電型の拡散層を形成する第4の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、  
上記第1の工程の後すぐに、上記酸化膜を酸化剤のみを含む液体に接触させて上記半導体層を酸化させ、上記半導体層と上記酸化膜との間に第2の酸化膜を形成する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項7】 請求項5又は6記載の半導体装置の製造方法において、  
上記第1の工程及び第2の工程の後、かつ上記第3の工程の前又は後に、上記半導体基板を還元雰囲気中で熱処理する工程をさらに備えていることを特徴とする半導体

装置の製造方法。

【請求項8】 請求項1、2、3、4、5、6又は7記載の半導体装置の製造方法において、  
上記金属イオンは、遷移金属イオンであることを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、  
上記遷移金属イオンは、鉄イオンであることを特徴とする半導体装置の製造方法。

【請求項10】 請求項1、2、3、4、5、6、7、8又は9記載の半導体装置の製造方法において、  
上記酸化剤は、オゾンであることを特徴とする半導体装置の製造方法。

【請求項11】 少なくとも表面部に半導体層を有する基板と、  
上記半導体層の上方に形成され金属不純物を含む第1の絶縁膜と、  
上記第1の絶縁膜と上記半導体層との間に介設され、電子の移動に対して障壁となるポテンシャルエネルギーと電子がトンネリング可能な厚みとを有する第2の絶縁膜と、  
上記第1の絶縁膜の上に形成され、電子の移動に対して障壁となるポテンシャルエネルギーと電子がトンネリング可能な厚みとを有し、かつ上記第1の絶縁膜とは厚みの異なる第3の絶縁膜と、  
上記第3の絶縁膜の上に形成された導体膜からなる電極とを備えていることを特徴とする半導体装置。

【請求項12】 少なくとも表面部に半導体層を有する基板と、  
上記半導体層の上方に形成され金属不純物を含む第1の絶縁膜と、  
上記第1の絶縁膜と上記半導体層との間に介設され、電子の移動に対して障壁となるポテンシャルエネルギーと電子がトンネリング可能な厚みとを有する第2の絶縁膜と、  
上記第1の絶縁膜の上に形成され、電子の移動に対して障壁となるポテンシャルエネルギーを有するとともに電子がトンネリング可能に構成された第3の絶縁膜と、  
上記第3の絶縁膜の上に形成された導体膜からなる電極と、  
上記半導体層内における上記電極の下方に形成された第1導電型のチャネル領域と、  
上記半導体層内における上記電極の両側方に形成された第2導電型のソース・ドレイン領域とを備えていることを特徴とする半導体装置。

【請求項13】 請求項12記載の半導体装置において、  
上記第1の絶縁膜よりも上記第3の絶縁膜の方は厚みが大きいことを特徴とする半導体装置。

【請求項14】 請求項12又は13記載の半導体装置

において、

上記第1、第2及び第3の絶縁膜のうち少なくともいずれかが多層膜で構成されていることを特徴とする半導体装置。

【請求項15】 請求項10、11、12、13又は14記載の半導体装置において、  
上記金属不純物は、遷移金属であることを特徴とする半導体装置。

【請求項16】 請求項15記載の半導体装置において、  
上記遷移金属は、鉄であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関するものであり、特に、低消費電力の非線形素子の製造方法と、不揮発性メモリ及びその製造方法に関するものである。

【0002】

【従来の技術】従来より、半導体分野のメモリ装置としては、ダイナミックラム(DRAM)や、スタティックラム(SRAM)が用いられている。これらメモリ装置中のメモリセルは、主としてMOS素子、容量素子及び抵抗素子の組み合わせにより構成される。例えば、DRAMは、1つのnチャネルMOS素子と一つの容量素子とから構成され、SRAMは2つのpチャネルMOS素子(もしくは2つの抵抗素子)と、4つのnチャネルMOS素子とから構成される。MOS素子は、ゲート長などを微細化することにより、動作速度、消費電力及び集積度が向上するという特長を持ち、産業上非常に重要な役割を果たしてきた。

【0003】しかし、ゲートなどを形成する際の微細加工の限界や、MOS素子のソース・ドレイン領域、チャネル領域に導入される不純物の濃度の統計的ゆらぎなどにより、工業的にはゲート長が $0.1\mu\text{m}$ 以下のMOS素子の実用化は非常に困難であると考えられている。一方、システム機器側からは今後さらなる高集積化、低消費電力化の要望がある。そこで、近年、MOS素子よりも微細化が可能でMOS素子とは動作原理の全く異なる素子が種々提案されてきた。その1つに共鳴トンネル素子がある。共鳴トンネル素子は、極薄の半導体薄膜の両側をエネルギー障壁膜ではさみ、さらにエネルギー障壁膜の外側に電極を形成した「二重障壁構造」からなる。そして、共鳴トンネル素子の電気特性は、極薄の半導体薄膜と外側の電極の間の共鳴トンネル効果により制御される。

【0004】

【発明が解決しようとする課題】ところで、共鳴トンネル効果は量子井戸として用いる極薄の半導体薄膜の物性、特に井戸幅に大きく依存する。よって、均一な電気

的特性を高い確実性をもって再現するためには、井戸幅の原子レベルでの制御が不可欠となり、工業的には非常にコスト高の要因となる。

【0005】本発明は、斯かる点に鑑みてなされたものであり、その目的は、共鳴トンネル素子における原子レベルでの膜厚制御を不要とし、従来のMOS素子とは異なる動作原理で機能する非線形素子又は不揮発性メモリとして機能する半導体装置及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明では請求項1～4に記載されている第1の半導体装置の製造方法に関する手段と、請求項5～6に記載されている第2の半導体装置の製造方法に関する手段と、請求項7～10に記載されている上記第1及び第2の半導体装置の製造方法に共通する手段と、請求項11に記載されている第1の半導体装置に関する手段と、請求項12～14に記載されている第2の半導体装置に関する手段と、請求項15、16に記載されている第1及び第2の半導体装置に共通する手段とを講じている。

【0007】本発明の第1の半導体装置の製造方法は、請求項1に記載されているように、半導体層を有する基板の上記半導体層を金属イオン及び酸化剤を含む液体に接触させて、上記半導体層の上に金属を含む酸化膜を形成する第1の工程と、上記酸化膜の上に導体膜からなる電極を形成する第2の工程とを備えている。

【0008】これにより、半導体層が酸化されるとともに金属イオンと酸化剤との反応によっても酸化物が生じる。すなわち、金属を含む酸化膜が半導体層と電極とで挟まれてなる半導体素子が得られる。この半導体素子において、半導体層－電極間に電圧を印加すると、酸化膜中の金属の空の電子軌道を電子で満たすためのエネルギー準位と半導体層のエネルギー準位とが一致したときに共鳴状態となり、半導体層－電極間を電子がトンネル効果により移動する。したがって、半導体層－電極間に印加する電圧を変えていくと、共鳴状態となる電圧値をすぎたときに電流が低下する負性抵抗部分が存在する。すなわち、負性抵抗を有する非線形素子が形成されることになる。その場合、共鳴状態にするための電圧は、金属の空の軌道を電子で満たすためのエネルギー準位と半導体層のエネルギー準位とで定まる。したがって、各層の厚みを原子レベルで制御しなくても、一定の特性を持った非線形素子を形成することができる。

【0009】請求項2に記載されているように、請求項1において、上記第1の工程の後かつ上記第2の工程の前に上記酸化膜の上に薄い絶縁膜を堆積させる工程をさらに備え、上記第2の工程では上記絶縁膜の上に電極を形成することができる。

【0010】これにより形成される半導体装置において、酸化膜と電極との間に絶縁膜が介在しているので、

半導体層－電極間に印加する電圧を変えていったときに金属の空の電子軌道が電子で満たされても、そこから電極まで電子がさらにトンネル効果によって移動するには電圧値をより大きくする必要が生じる。つまり、絶縁膜の膜圧によって、半導体層－電極間に印加する電圧を変えていったときに電流が流れ出すまでの電圧値を自由に調整することが可能になる。

【0011】請求項3に記載されているように、請求項1又は2において、上記第1の工程の後すぐに、上記酸化膜を酸化剤のみを含む液体に接触させて上記半導体層を酸化させ、上記半導体層と上記酸化膜との間に第2の酸化膜を形成する工程をさらに備えることができる。

【0012】これにより、形成される半導体装置の電流－電圧特性をより微細に調整することが可能になる。

【0013】請求項4に記載されているように、請求項1、2又は3において、上記第1の工程の後、かつ上記第2の工程の前又は後に、上記半導体基板を還元雰囲気中で熱処理する工程をさらに備えることができる。

【0014】これにより、酸化膜中における金属の構造や分布状態をより適正な状態に調整することが可能になる。

【0015】本発明の第2の半導体装置は、請求項5に記載されているように、第1導電型の半導体層を有する基板の上記半導体層を金属イオン及び酸化剤を含む液体に接触させて、上記半導体層の上に金属を含む酸化膜を形成する第1の工程と、上記酸化膜の上に絶縁膜を形成する第2の工程と、上記絶縁膜の上に導体膜からなる電極を形成する第3の工程と、上記電極をマスクにして上記半導体層内に第2導電型不純物を導入し、上記半導体層内の上記電極の両側となる領域に第2導電型の拡散層を形成する第4の工程とを備えている。

【0016】これにより形成される半導体装置において、酸化膜内の金属の空の電子軌道の電子を満たしておくことが可能である。また、この半導体装置中の半導体層、酸化膜、絶縁膜、電極で構成される素子は、上記請求項2の方法で形成される半導体装置と同様に非線形素子として機能するので、共鳴状態となる方向に電圧を印加していったときに電流が流れ出すまでの電圧範囲を広く確保できる。さらに、酸化膜、絶縁膜、電極及び2つの拡散層によってMISトランジスタが形成されるが、このMISトランジスタのしきい値電圧は酸化膜内の金属の空の電子軌道に電子が満たされている状態と満たされていない状態とによって異なる。したがって、半導体層－電極間に電流が流れない範囲の電圧を電極に印加した状態で、酸化膜中の金属の空の電子軌道が電子で満たされている状態と満たされていない状態とをしきい値の相違から検知することにより、情報の読み出しが可能になる。すなわち、電気的に書き込み、読み出し及び消去が可能な不揮発性メモリとして機能する半導体装置が形成されることになる。そして、この半導体装置は、単一

の素子により構成されるので、高集積化も可能となる。

【0017】請求項6に記載されているように、請求項5において、上記第1の工程の後すぐに、上記酸化膜を酸化剤のみを含む液体に接触させて上記半導体層を酸化させ、上記半導体層と上記酸化膜との間に第2の酸化膜を形成する工程をさらに備えることができる。

【0018】請求項7に記載されているように、請求項5又は6において、上記第1の工程及び第2の工程の後、かつ上記第3の工程の前又は後に、上記半導体基板を還元雰囲気中で熱処理する工程をさらに備えることができる。

【0019】請求項6、7により、上述の請求項3、4と同じ作用効果が得られる。

【0020】請求項8に記載されているように、請求項1、2、3、4、5、6又は7において、上記金属イオンは遷移金属イオンであることが好ましい。

【0021】これにより、遷移金属の空の電子軌道とそこに電子が入ったときとのエネルギー差が小さいことを利用して、低電圧で非線形素子や不揮発性メモリとして機能する半導体装置を形成することができる。

【0022】請求項9に記載されているように、請求項8において、上記遷移金属イオンは鉄イオンであることが好ましい。

【0023】これにより、より低電圧で低電圧で非線形素子や不揮発性メモリとして機能する半導体装置を形成することができる。

【0024】請求項10に記載されているように、請求項1、2、3、4、5、6、7、8又は9において、上記酸化剤は、オゾンであることが好ましい。

【0025】これにより、オゾンの有する高い酸化能力を活用して上記各請求項の作用効果を確実に得ることができるとともに、オゾンは酸素以外の元素を含まないので、他の元素が半導体装置内に取り込まれることによる不具合を回避することができる。

【0026】本発明の第1の半導体装置は、請求項11に記載されているように、少なくとも表面部に半導体層を有する基板と、上記半導体層の上方に形成され金属不純物を含む第1の絶縁膜と、上記第1の絶縁膜と上記半導体層との間に介設され、電子の移動に対して障壁となるポテンシャルエネルギーと電子がトンネリング可能な厚みとを有する第2の絶縁膜と、上記第1の絶縁膜の上に形成され、電子の移動に対して障壁となるポテンシャルエネルギーと電子がトンネリング可能な厚みとを有し、かつ上記第1の絶縁膜とは厚みの異なる第3の絶縁膜と、上記第3の絶縁膜の上に形成された導体膜からなる電極とを備えている。

【0027】これにより、半導体装置が、半導体層－電極間に印加される電圧の正負に対して非対称の電流－電圧特性を示す。すなわち、非線形素子としての用途の広い半導体装置となる。

【0028】本発明の第2の半導体装置は、請求項12に記載されているように、少なくとも表面部に半導体層を有する基板と、上記半導体層の上方に形成され金属不純物を含む第1の絶縁膜と、上記第1の絶縁膜と上記半導体層との間に介設され、電子の移動に対して障壁となるポテンシャルエネルギーと電子がトンネリング可能な厚みとを有する第2の絶縁膜と、上記第1の絶縁膜の上に形成され、電子の移動に対して障壁となるポテンシャルエネルギーを有するとともに電子がトンネリング可能に構成された第3の絶縁膜と、上記第3の絶縁膜の上に形成された導体膜からなる電極と、上記半導体層内における上記電極の下方に形成された第1導電型のチャネル領域と、上記半導体層内における上記電極の両側方に形成された第2導電型の不純物を含むソース・ドレイン領域とを備えている。

【0029】これにより、半導体装置が請求項5により形成される半導体装置と同様に、電気的に書き込み、読み出し及び消去が可能な不揮発性メモリとして機能する。

【0030】請求項13に記載されているように、請求項12において、上記第1の絶縁膜よりも上記第3の絶縁膜の方が厚みが大きいことが好ましい。

【0031】これにより、半導体装置が、書き込みが容易で読み出し電圧の余裕が大きい不揮発性メモリとなる。

【0032】請求項14に記載されているように、請求項12又は13において、上記第1、第2及び第3の絶縁膜のうち少なくともいずれか一つを多層膜で構成することができる。

【0033】これにより、半導体装置の電流-電圧特性などをさらに微細に調整することが可能になる。

【0034】請求項15に記載されているように、請求項10、11、12、13又は14において、請求項8で説明した理由により、上記金属不純物は遷移金属であることが好ましい。

【0035】請求項16に記載されているように、請求項15において、請求項9で説明した理由により、上記遷移金属は鉄であることが好ましい。

#### 【0036】

##### 【発明の実施の形態】

(第1の実施形態) まず、第1の実施形態について説明する。図1～図5は第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【0037】まず、図1に示す工程において、Si基板の内部に酸素イオンを注入するなどの方法により、SOI基板160を形成する。このSOI基板160は、Si基板101と、Si基板101の上に形成された埋め込み酸化膜102と、埋め込み酸化膜102の上に形成されたp型Si層150とにより構成されている。p型Si層150は約100～200nmの厚さを有する。

その後、選択酸化法等を用いて、p型Si層150を複数の孤立した領域に区画するための素子分離酸化膜151を形成する。素子分離酸化膜151の厚さはp型Si層150の各領域が電気的絶縁されればよい。p型Si層150の約1.5～2倍程度でよい。

【0038】次に、図2に示す工程において、素子分離酸化膜151によって取り囲まれるp型Si層150内に、フォトリソグラフィとイオン注入及び熱処理を用いて第1n型拡散層103と第2n型拡散層104とを形成する。第1n型拡散層103の不純物濃度は約 $10^{16} \sim 10^{18} / \text{cm}^3$ であり、第2n型拡散層104の不純物濃度は約 $10^{20} / \text{cm}^3$ である。

【0039】次に、図3に示す工程において、第1n型拡散層103及び第2n型拡散層104の表面を、金属イオンである鉄イオンと酸化剤であるオゾンとを含む水に約5時間接触させる。鉄イオンは約0.1～10ppmの濃度に調整されている。この処理によって、シリコンが酸化されるとともに鉄イオンと酸化剤であるオゾンとの反応によって生じた $\text{Fe}_2\text{O}_3$ や $\text{Fe}_3\text{O}_4$ 等の酸化鉄がシリコン酸化膜中に混入される。したがって、第1n型拡散層103及び第2n型拡散層104の上に酸化鉄を含むつまりFe原子を含む第1シリコン酸化膜105が約1.5nmの厚みで形成される。

【0040】続いて、第1n型拡散層103及び第2n型拡散層104の上に形成された第1シリコン酸化膜105をオゾンのみを含む水に約5時間接触させる。この処理によって、第1シリコン酸化膜105ではなくその下方のシリコン層が酸化される。つまり、第1シリコン酸化膜105と第1n型拡散層103との界面及び第1シリコン酸化膜105と第2n型拡散層104との界面で酸化が進行する。その結果、第1シリコン酸化膜105と第1n型拡散層103との間及び第1シリコン酸化膜105と第2n型拡散層104との間に、厚みが約1.5nmの第2シリコン酸化膜106が形成される。この第2シリコン酸化膜106中には、鉄はドーブされていない。

【0041】さらに、超高真空CVD等を用いて第1シリコン酸化膜105の上に、厚みが約1.5nmの第3シリコン酸化膜107を形成する。この第3シリコン酸化膜107中には、鉄はドーブされていない。

【0042】以上の工程により、鉄をドーブした第1シリコン酸化膜105が、鉄をドーブしていない第2シリコン酸化膜106及び第3シリコン酸化膜107で挟み込まれる構造となる。この後、Si基板101を $\text{H}_2$ ガス雰囲気中600℃で1時間熱処理を行う。

【0043】次に、図4に示す工程において、基板の全表面上にポリシリコン膜を堆積した後、フォトリソグラフィとドライエッチングを用いて、このポリシリコン膜と第1～第3シリコン酸化膜105～107とをパターンニングする。すなわち、ポリシリコン膜及び第1～第3シ

リコン酸化膜105~107のうち第2n型拡散層104の上方の部分は除去して、第1n型拡散層103の上に、第1~第3シリコン酸化膜105~107と、第3シリコン酸化膜107上のポリシリコン電極108とを残す。さらに、基板の全表面上に層間絶縁膜109を堆積する。

【0044】次に、図5に示す工程において、フォトリソグラフィとドライエッチングを用いて、層間絶縁膜109の一部を開口して、素子分離酸化膜151上のポリシリコン電極108と、第2n型拡散層104とに到達するコンタクトホールをそれぞれ形成する。さらに、この各コンタクトホールをタングステン(W)で埋めてWプラグ110a、110bを形成した後、基板の全表面上にアルミニウム(Al)合金膜を堆積し、さらに、この膜をパターニングして、各Wプラグ110a、110bにそれぞれ接続される第1Al配線111及び第2Al配線112を形成する。

【0045】以上の製造工程により、鉄イオンを含む第1シリコン酸化膜105を鉄イオンを含まない第2、第3シリコン酸化膜106、107で挟んでなる共鳴トンネルダイオードが得られる。この共鳴トンネルダイオードの動作について、以下に説明する。

【0046】図6に示すように、第2Al配線112を接地するとともに、第1Al配線111と第2Al配線112との間に、第1Al配線111が正となる電位を印加すると、電位の変化に応じて第1Al配線111と第2Al配線112との間に流れる電流も変化する。図7は、この時に得られる電流-電圧特性を示す図である。図8(a)~(c)は、第1Al配線111に印加される電圧の変化に応じた第1n型拡散層-ポリシリコン電極108間のエネルギーバンドの変化を示す図である。以下、図7及び図8(a)~(c)を参照しながら、この電流-電圧特性線Jv1の変化特性について説明する。

【0047】第1Al配線111と第2Al配線112との間に印可する電圧が零の場合には、図8(a)に示すように、エネルギーレベルは平衡状態であり、鉄を含む第1シリコン酸化膜105中のFe原子の空の準位(後に説明するように、空の電子軌道を電子で満たすためのエネルギー準位)は、第1n型拡散層(半導体)及びポリシリコン電極108(導体)のフェルミ準位よりも高く、しかもその差が大きい(ただし、鉄等の遷移金属のエネルギー準位については後述する)ので、第1n型拡散層内にはFe原子の空の準位に一致するエネルギー準位を有する電子の密度がほとんどゼロである。したがって、電子が、第2シリコン酸化膜106中をトンネリングによって通過して、第1n型拡散層から空の準位を有するFe原子に移動することはほとんどなく、図7の電流特性線Jv1中の点Jv1aに示すごとく、電流はほとんど流れない。

【0048】一方、第1Al配線111と第2Al配線112との間に印可する電圧を正の方向に大きくして行くと、図8(b)に示すように、第1シリコン酸化膜103中のFe原子の空の準位と第1n型拡散層103のフェルミ準位とが近づくので、電子が第2シリコン酸化膜106中をトンネリングするようになり、電圧を増大していくと、移動する電子の数が増大して電流は増大する。そして、ある電圧値Vbに達すると、第1n型拡散層103のフェルミ準位と第1シリコン酸化膜105中のFe原子の空の準位とが一致する共鳴状態になって、図7の電流-電圧特性線Jv1中の点Jv1bに示すように、極大の電流が流れる。

【0049】さらに、第1Al配線111と第2Al配線112との間に印可する電圧を正の方向に大きくして行くと、図8(c)に示すように、第1n型拡散層103のフェルミ準位と第1シリコン酸化膜105内のFe原子の空の準位とが再び離れて行くので、電流が減少する。これによってこの素子では負性抵抗が観測されることになる。そして、図7の電流-電圧特性線Jv1中の点Jv1cで電流は極小となる。

【0050】電圧をさらに上げていくと、第1n型拡散層103のフェルミ準位と各シリコン酸化膜105~107からなる絶縁膜のバリアの差が小さくなる。つまり絶縁膜によるバリアの高さが実効的に低くなるために再び電流が増加する。

【0051】このように、本実施例の非線形素子は、電流-電圧特性中に負性抵抗部分を有する非線形素子として機能する。本実施形態における構造では、例えば印加電圧1Vのところで $30\text{mA}/\text{cm}^2$ のところで極大点をもつ。この素子はトンネル効果を利用したものであり、動作電圧、動作電流も小さいので低消費電力の素子として機能する。また、デバイスのサイズも小さいので高集積化が図れる。

【0052】特に、不純物原子として遷移金属を用いることで、遷移金属の空の準位を利用でき、この空の準位の利用によって電圧を大きくすることなく電子を入れることができるので、絶縁膜を通してトンネル電流を流すことができる。さらに、遷移金属原子固有のエネルギー準位を用いているため、膜厚等がばらついていても、電流ピークが得られる電圧には変化がない。さらに、この非線形素子を2つ接続することで、それぞれの非線形性を利用して、双安定メモリ装置を容易に実現できる。このメモリ装置は、非線形素子の消費電力、面積は小さいことを利用しており、またその構成は、非線形素子を接続するだけなので、当然のことながら低消費電力であり、かつ集積化が図れることになる。

【0053】ここで、金属原子層を構成する金属イオンとしては好ましいのは遷移金属のイオンである。その理由を以下に説明する。

【0054】遷移元素は、不完全に満たされたd殻(又



はf殻)を有する原子又はそのような陽イオンを生じる元素と定義され(3A~7A族, 8族及び1B族元素)、一般に多種の原子価を示す。そのため原子内での電子の相関があまり強くなく、電子の受け渡しが行われ易い。図9(a)に示すように、たとえば鉄FeはM殻のd軌道に6個、N殻の4s軌道に2個電子を持っている。

【0055】鉄の酸化物にはFe<sub>2</sub>O<sub>3</sub>とFe<sub>3</sub>O<sub>4</sub>があり、それぞれ2価イオンのFeと3価イオンのFeによって構成されるものである。図9(b)は、Feの中性原子、2価イオン及び3価イオンの3d軌道及び4s軌道における電子配置状態を示す。図9(b)中の電子配置を参照するとわかるように、2価イオンの場合と3価イオンの場合のエネルギーの差は、フントの法則よりあまり大きくない。すなわち、スピンの揃った軌道が優先的に満たされ、かつ他の軌道とはスピンの向きが異なる軌道に電子が満たされてもすぐに排斥されるからである。従って、3価イオンの場合の仮想的な準位(そこに電子が入れば2価イオンになる)を不純物原子層中の空の準位に用いると、極めて小さな電圧を印加して共鳴トンネリングを生ぜしめ得る構造を実現することができるのである。

【0056】特に遷移金属の中でも、Mn, Fe, Cr, Ni, Cu, Sm, Eu, Gd, Yb, Lu, Ceが特に好ましい。その理由は、これらの元素は2価と3価、または1価と2価のように2つの価数をとることができるからである。

【0057】それにより、図10(a)で示すように、たとえば鉄の場合、3価イオンで存在しているFeに電子をもう1つ入れて2価イオンにしても、両者間でエネルギー準位はあまりずれない。したがって、外部から印可する電圧V<sub>0</sub>が小さくても、共鳴トンネリングを生ぜしめることができ、共鳴トンネリング特性を有する非線形素子として実用に供することができる。

【0058】しかし、金属原子層の空の準位に電子を1つ満たすことにより、電子のエネルギー準位が大きすぎてしまう場合は、素子として実用的に多少劣ったものとなる。例えば図10(b)に示すように、電子を1つ入れることで、この素子に印加する電圧を30ボルトにまであげないと、共鳴トンネリングを生じない場合がある。ところが、30ボルトを印加すると、絶縁層のバリアが実質的に極めて低くなるので、電子が絶縁膜を乗り越える確率やFNトンネリングを生じる確率が上昇するので、図10(b)に示すように、負性抵抗を示す範囲が極めて僅かになる。よって、電子のエネルギー準位のずれが高々数ボルトに押さえる必要がある。その点、遷移金属は空の準位に電子を満たしてもエネルギー準位がそれ程大きくずれないので、本発明の非線形素子の金属原子層を構成するのに極めて適した元素である。

【0059】次に、金属原子の空の軌道に電子がはいら

なければならない理由について説明する。電子は半導体層から金属原子層中の空の軌道に共鳴トンネリングによって移動し、さらにもう一つの絶縁膜をトンネリングで抜けてから導体部へと移動する。この過程で、もし、金属原子層の空の軌道に電子が入らなくなると、半導体層のフェルミ準位から金属原子層の空の準位へと電子は移動できないことになる。したがって、金属原子層の空の軌道には電子が入ることがトンネル電流を流すための条件となる。すなわち、上述の説明における「空の準位」とは、空の軌道に電子を満たすためのエネルギー準位を指す。

【0060】特に遷移金属を用いると、遷移金属のイオン化傾向は絶縁層のイオン化傾向よりも大きいので、絶縁層を抜けて電子が容易に空の軌道に入ることができ、低電圧範囲で負性抵抗特性を有する共鳴トンネルダイオードとして機能させるのには最適である。

【0061】ここで、絶縁層を構成する材料が酸化物、窒化物または弗化物の場合には、金属原子層を構成する金属原子として酸素、窒素または弗素原子よりもイオン化傾向の大きい原子が好ましい。それは、これらの元素よりもイオン化傾向の小さい不純物元素では、すぐに酸素、窒素、弗素等に電子を奪われてしまい、本発明の非線形特性を発揮できない虞れがあるからである。遷移金属は、酸化物、窒化物、弗化物よりもイオン化傾向が大きいので、その点でも金属原子層を構成する元素として適している。

【0062】(第2の実施形態)次に、第2の実施形態について説明する。図11~図14は本実施形態に係る半導体装置の製造工程を示す断面図である。

【0063】まず、図11に示す工程において、Si基板の内部に酸素イオンを注入する方法により、SOI基板260を形成する。このSOI基板260は、Si基板201と、Si基板201の上に形成された埋め込み酸化膜202と、埋め込み酸化膜202の上に形成されたp型Si層250とにより構成されている。p型Si層250は約100~200nmの厚さを有し、p型Si層250の不純物濃度は約10<sup>15</sup>~10<sup>16</sup>/cm<sup>3</sup>である。その後、選択酸化法等を用いて、p型Si層250を複数の孤立した領域に区画するための素子分離酸化膜251を形成する。素子分離酸化膜251の厚さはp型Si層250の各領域が電気的絶縁されればよいので、p型Si層250の約1.5~2倍程度でよい。

【0064】次に、図12に示す工程において、p型Si層250の表面を、金属イオンとしての鉄イオンと酸化剤としてのオゾンとを含む水に約5時間接触させる。鉄イオンは約0.1~10ppmの濃度に調整する。この処理によって、p型Si層250の上に第1シリコン酸化膜205が約1.5nmの厚みで形成される。

【0065】続いて、p型Si層250の上に形成され



た第1シリコン酸化膜205をオゾンのみを含む水に約5時間接触させる。この処理によって、第1シリコン酸化膜205とp型Si層250との界面でさらに酸化が進む。すなわち、第1シリコン酸化膜205とp型Si層250との間に、厚みが約1.5nmの第2シリコン酸化膜206が形成される。この第2シリコン酸化膜206中には、鉄はドーパされていない。

【0066】さらに、超高真空CVD等を用いて第1シリコン酸化膜205の上に、厚みが約5nmの第3シリコン酸化膜207を形成する。この第3シリコン酸化膜207中には、鉄はドーパされていない。

【0067】以上の工程により、鉄をドーパした第1シリコン酸化膜205が、鉄をドーパしていない第2シリコン酸化膜206及び第3シリコン酸化膜207で挟み込まれる構造となる。この後、Si基板201をH<sub>2</sub>ガス雰囲気中600℃で1時間熱処理を行う。

【0068】次に、図13に示す工程において、基板の全面上にポリシリコン膜を堆積した後、フォトリソグラフィとドライエッチングを用いて、このポリシリコン膜と第1～第3シリコン酸化膜205～207とをパターンニングする。すなわち、ポリシリコン膜及び第1～第3シリコン酸化膜205～207のうちp型Si層250の中央付近の上方にある部分のみを残し他は除去して、第1～第3シリコン酸化膜205～207の上にポリシリコン電極208を形成する。そして、このポリシリコン電極をマスクとしてn型不純物イオンの注入を行い、自己整合的にn型拡散層270を形成する。n型拡散層270の不純物濃度は $10^{20}/\text{cm}^3$ 程度である。

【0069】次に、図14に示す工程において、基板の全面上に層間絶縁膜209を堆積した後、フォトリソグラフィとドライエッチングを用いて、層間絶縁膜209の一部を開口し、ポリシリコン電極208の両側のn型拡散層270に到達するコンタクトホールをそれぞれ形成する。さらに、この各コンタクトホールをタングステン(W)で埋めて第1、第2Wプラグ210a、210bを形成した後、基板の全面上にアルミニウム(Al)合金膜を堆積し、さらに、この膜をパターンニングして、各Wプラグ210a、210bに接続される第1Al配線211及び第2Al配線212を形成する。

【0070】以上の製造工程により、鉄を含む第1シリコン酸化膜205を鉄を含まない第2、第3シリコン酸化膜206、207で挟んでなる共鳴トンネルダイオードが得られる。この共鳴トンネルダイオードの動作について、以下に説明する。

【0071】図15に示すように、第2Al配線212を接地するとともに、第1Al配線211と第2Al配線212との間に、第1Al配線211が正となる電位を印加すると、電位の変化に応じて第1Al配線211と第2Al配線212との間に流れる電流も変化する。図16は、この時に得られる電流-電圧特性を示す

図である。図17(a)～(c)は、第1Al配線211に印加される電圧の変化に応じたn型拡散層270-ポリシリコン電極208間のエネルギーバンドの変化を示す図である。以下、この電流-電圧特性について説明する。ただし、基本的な動作原理は上記第1の実施形態と同じであるので、以下の説明は簡略化してある。

【0072】まず、図17(a)に示すように、電圧がゼロの場合、平衡状態であり、第1シリコン酸化膜205内のFe原子の空の準位は、半導体および金属のフェルミ準位よりもかなり高い。したがって、図16の電流-電圧特性線Jv2中の点Jv2aに示すように、電流は流れない。

【0073】さらに第2Al配線112とポリシリコン電極208との間に印加する電圧を正の方向に大きくしていくにしたがって、n型拡散層270のフェルミ準位と第1シリコン酸化膜205中のFe原子の空の準位とが近づくため共鳴状態に近づき、n型拡散層270と第1シリコン酸化膜205中の空の準位との間の第2シリコン酸化膜206中をトンネリングで抜ける電子数つまりトンネル電流が増加していく。その際、上記第1の実施形態とは異なり、第3シリコン酸化膜が厚いので、空の軌道に入った電子がさらにポリシリコン電極208に移動するにはより高い電圧を加える必要がある。つまり、電流が流れ出すには一定の電圧値Vop以上の電圧を印加する必要がある。

【0074】そして、図17(b)に示すように、Fe原子の空の準位がn型拡散層270のフェルミ準位と共鳴した場合に電流が最大となり、図16の電流-電圧特性線Jv2の点Jv2bに示す極大の電流が流れる。

【0075】さらに電圧を大きくすると、n型拡散層270のフェルミ準位と第1シリコン酸化膜205中のFe原子の空の準位との差が拡大していくので、トンネリングによって移動する電子の数が減少し次第に電流が減少する。これによってこの素子では負性抵抗が観測されることになる。そして、図16の電流-電圧特性線Jv2中の点Jv2cで電流は極小となる。

【0076】そして、電圧をさらに上げていくと、n型拡散層270のフェルミ準位と絶縁膜のバリアの差が小さくなる。つまり絶縁膜によるバリアの高さが実効的に低くなるために再び電流が増加する。

【0077】一方、ポリシリコン電極208に負の電圧を印加すると、図17(d)に示すように、Fe原子の空の準位がポリシリコン電極208のフェルミ準位と共鳴し、電流が流れ出す。

【0078】本実施形態では、第2シリコン酸化膜206の膜厚が1.5nmであり、第3シリコン酸化膜207の膜厚が5nmである。このように第2シリコン酸化膜206と第3シリコン酸化膜207の膜厚が異なる場合、n型拡散層270とポリシリコン電極208との間に印加された電圧の分配が膜厚によって異なり、ポリシ

リコン電極208に正の電圧を印加した時電流が流れ出す電圧の絶対値と、ポリシリコン電極208に負の電圧を印加した時電流が流れ出す電圧の絶対値とは異なる。本実施形態では、ポリシリコン電極208に負の電圧を印加した時電流が流れ出す電圧の絶対値の方が低い。したがって、ポリシリコン電極208に小さな負の電圧 $V_w$ を印加して、第1シリコン酸化膜205に電荷を蓄えさせることができる。この電荷の有無は、ポリシリコン電極208、p型Si層250及びn型拡散層270で構成されるn型MOSトランジスタを通常動作させることで判断できる。すなわち、ポリシリコン電極208に正の電圧を印加し、第1Al配線211を接地し(0V)、第2Al配線212に適当な正の電圧を印加する。そのとき、第1シリコン酸化膜205内の電荷の有無で上記n型MOSトランジスタの閾値が変化するため、上記n型MOSトランジスタの閾値の違いを何らかの方法で判断することで、メモリとして使用することができる。さらに、第1シリコン酸化膜205に蓄えられた電荷は移動しにくいので、この素子を不揮発性メモリとして用いることができる。すなわち、本実施形態の半導体装置は、フラッシュメモリとして機能する。ただし、その場合、ポリシリコン電極208に印加する正の電圧には上限がある。すなわち、n型拡散層270のフェルミ準位と第1シリコン酸化膜205内のFe原子の空の準位との間で共鳴トンネル電流が流れない範囲で用いる必要がある。よって、図16に示すように、読み出し電圧は $V_{op}$ 以下に設定しておくことが望ましい。

【0079】以上のように、本実施の形態の半導体素子は、電流-電圧特性中に負性抵抗部分を持つ非線形素子及び不揮発性メモリとして機能する。この素子はトンネル効果を利用したものであり、動作電圧、動作電流も小さいので低消費電力の素子として機能する。また、デバイスのサイズも小さいので高集積化が図れる。

【0080】特に、上記第1の実施形態と同様に、不純物原子として遷移金属を用いることで、遷移金属の空の準位を利用でき、この空の準位の利用によって、電圧を大きくすることなく電子を入れることができるので、絶縁膜を通してトンネル電流を流すことができる。さらに、遷移金属原子固有のエネルギーレベルを用いているため、膜厚等がばらついていても、電流ピークが得られる電圧には変化がない。

【0081】本実施の形態では、第1シリコン酸化膜205中にドーピングする金属として鉄を用いたが、上記第1の実施形態と同様の金属を用いることができることはいうまでもない。

【0082】上記第1、第2の実施形態において、金属イオンと共にエッチング液に混在させる酸化剤としてオゾンを使用した。本発明は斯かる実施形態に限定されるものではなく、過酸化水素や発煙硝酸などの他の酸化剤を使用することも可能である。

### 【0083】

【発明の効果】請求項1~10によれば、半導体装置の製造方法として、半導体を金属イオンと酸化剤を含む液体に接触させることにより、酸化膜中に金属を取り込みこの酸化膜を一部に有する半導体装置を形成するようにしたので、原子レベルでの膜厚の制御を行うことなく、金属の空の電子軌道を介した共鳴トンネリングを利用して、電流・電圧が小さく低消費電力で、かつ集積度の高い非線形素子や不揮発性メモリとして機能する半導体装置を形成することができる。

【0084】請求項11~16によれば、半導体装置内に、金属を含む第1の絶縁膜を金属を含まない第2、第3の絶縁膜で挟んだ構造を設けたので、金属の空の電子軌道を介した共鳴トンネリングを利用して、電流・電圧が小さく低消費電力で、かつ集積度の高い非線形素子や不揮発性メモリとして機能する半導体装置の提供を図ることができる。

### 【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体装置の製造工程のうちSOI基板上に素子分離酸化膜を形成するまでの工程を示す断面図である。

【図2】第1の実施の形態に係る半導体装置の製造工程のうち第1、第2n型拡散層を形成するまでの工程を示す断面図である。

【図3】第1の実施の形態に係る半導体装置の製造工程のうち第1、第2、第3シリコン酸化膜を形成するまでの工程を示す断面図である。

【図4】第1の実施の形態に係る半導体装置の製造工程のうちポリシリコン電極を形成するまでの工程を示す断面図である。

【図5】第1の実施の形態に係る半導体装置の製造工程のうち第1、第2Al配線を形成するまでの工程を示す断面図である。

【図6】第1の実施の形態に係る半導体装置への電圧の印加状態を示す断面図である。

【図7】第1の実施の形態に係る半導体装置の電流-電圧特性図である。

【図8】第1の実施の形態に係る半導体装置の電圧の印加状態の変化に応じたエネルギー状態の変化を示すエネルギーバンド図である。

【図9】鉄元素の原子模型図及び電子配置図である。

【図10】不純物原子層の空の電子軌道を電子で満たすためのエネルギー準位の値と電流-電圧特性との関係を示す図である。

【図11】第2の実施の形態に係る半導体装置の製造工程のうちSOI基板上に素子分離酸化膜を形成するまでの工程を示す断面図である。

【図12】第2の実施の形態に係る半導体装置の製造工程のうち第1、第2、第3シリコン酸化膜を形成するまでの工程を示す断面図である。

【図13】第2の実施の形態に係る半導体装置の製造工程のうちポリシリコン電極を形成するまでの工程を示す断面図である。

【図14】第2の実施の形態に係る半導体装置の製造工程のうち第1、第2A1配線を形成するまでの工程を示す断面図である。

【図15】第2の実施形態に係る半導体装置への電圧の印加状態を示す断面図である。

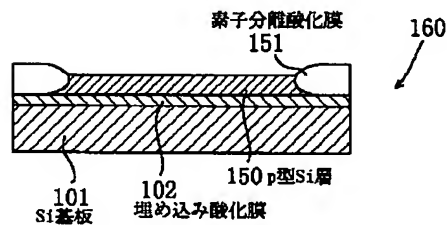
【図16】第2の実施の形態に係る半導体装置の電流－電圧特性図である。

【図17】第2の実施形態に係る半導体装置の電圧の印加状態の変化に応じたエネルギー状態の変化を示すエネルギーバンド図である。

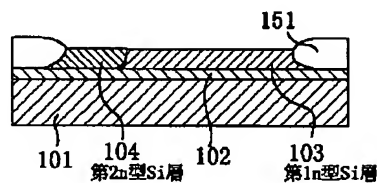
【符号の説明】

101	Si基板	109	層間絶縁膜
102	埋め込み酸化膜	110 a, b	第1, 第2Wプラグ
103	第1n型拡散層	111	第1A1配線
104	第2n型拡散層	112	第2A1配線
105	第1シリコン酸化膜	150	p型Si層
106	第2シリコン酸化膜	151	素子分離酸化膜
107	第3シリコン酸化膜	160	SOI基板
108	ポリシリコン電極	201	Si基板
		202	埋め込み酸化膜
		205	第1シリコン酸化膜
		206	第2シリコン酸化膜
		207	第3シリコン酸化膜
		208	ポリシリコン電極
		209	層間絶縁膜
		210 a, b	第1, 第2Wプラグ
		211	第1A1配線
		212	第2A1配線
		250	p型Si層A
		251	素子分離酸化膜
		260	SOI基板
		270	n型拡散層

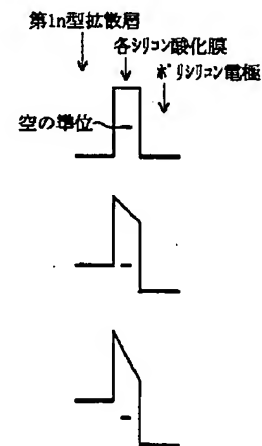
【図1】



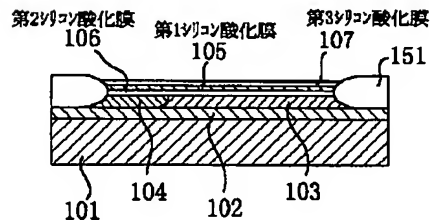
【図2】



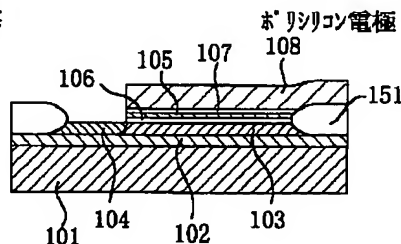
【図8】



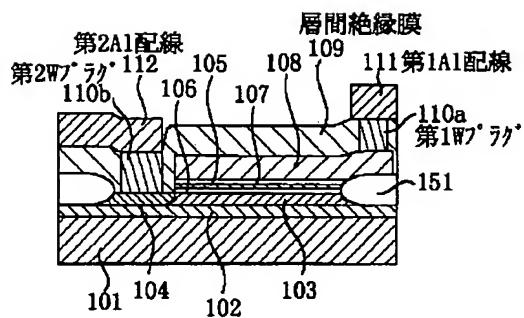
【図3】



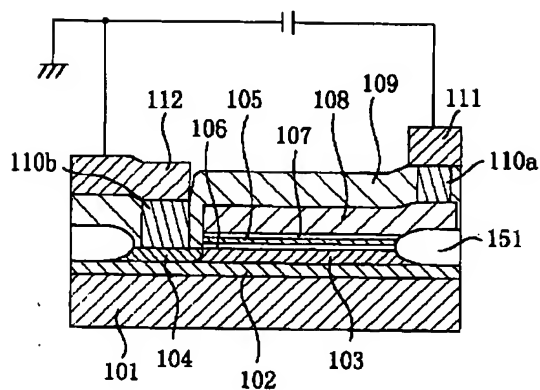
【図4】



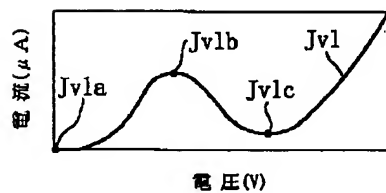
【図5】



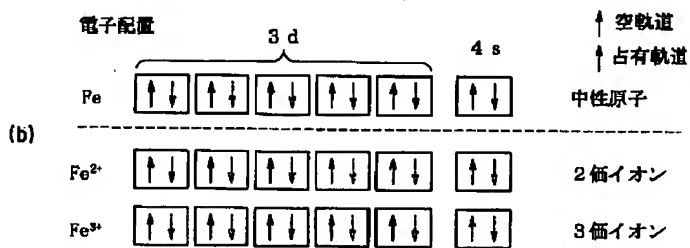
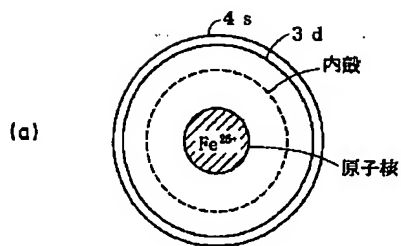
【図6】



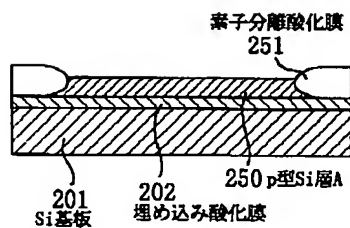
【図7】



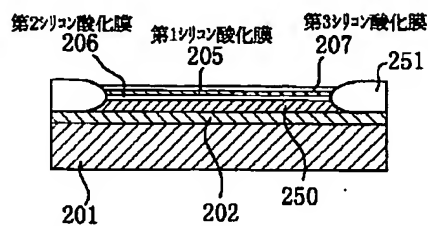
【図9】



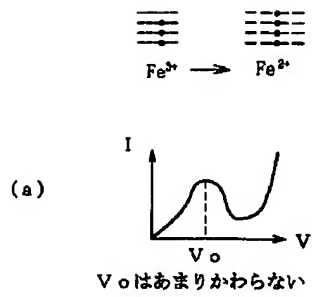
【図11】



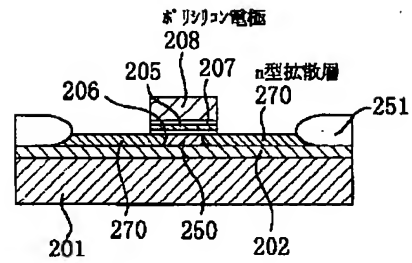
【図12】



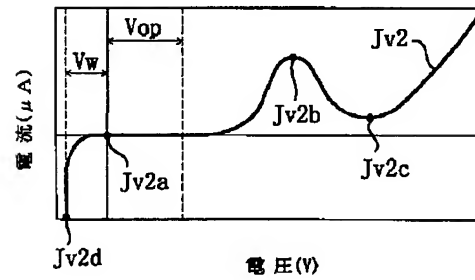
【図10】



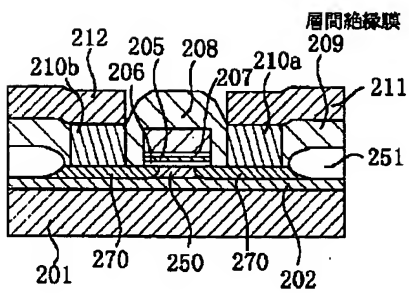
【図13】



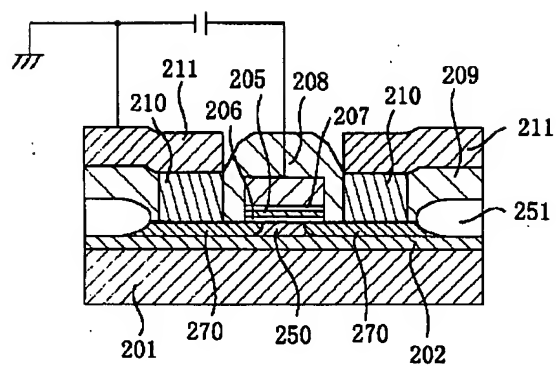
【図16】



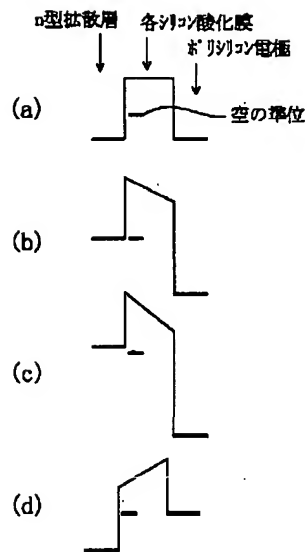
【図14】



【図15】



【図17】




---

フロントページの続き

(72)発明者 荒木 聖  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 幸 康一郎  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 熊淵 康仁  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内